Учреждение образования

«Минский государственный колледж электроники»

**КУРСОВОЙ ПРОЕКТ**

КП57МНЭ.008404.081 ПЗ

**по учебной дисциплине**

**«Проектирование микроэлектронных устороиств»**

**Тема: «**Проектирование интегральной микросхемы многоколлекторного формирователя амплитуды**»**

Специальность: 2 — 41 01 02 микро- и наноэлектронные технологий

Разработал учащийся

группы: 57 МНЭ Игнатович Н.М.

Руководитель Семенова Л.Н.

Отметка:

Минск 2022

Содержание

Введение ..3

1. Анализ задания на проектирование. Принцип работы устройства ..5
2. Обоснование и выбор реализации устройства ..7
   1. Выбор способа реализации ИМС ..8
   2. Выбор изолляции ИМС 10
   3. Выбор структуры подложки 12
3. Расчет параметров элементов 13
   1. Расчет биполярного транзистора 13
   2. Расчет полупроводникового резистора 16

3.3 Расчет полупроводникового конденсатора 19

1. Составление схемы коммутации устройства 20
2. Проектирование топологии имкросхемы с учетом конструктивно технологических ограничений ........................................................................xx
3. Выполнение эскиза топологии микросхемы .................................................xx
4. Проведение проверочных расчетов устройства.............................................xx
5. Выбор окончательного варианта топологии микросхемы ...........................xx
6. Выполнение топологического чертежа микросхемы....................................xx
7. Выполнение чертежей видов на соответствующие слои .............................xx
8. Выбор корпуса микросхемы ...........................................................................xx
9. Выполнение сборочного чертежа микросхемы ............................................xx
10. Разработка технологической карты изготовления микросхемы..................xx

Заключение..............................................................................................................xx

Список используемых источников.......................................................................хх

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | | | | | | |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  | *Проектирование интегральной микросхемы многоколлекторного формирователя амплитуды*  *Пояснительная записка* | Лит. | | | Масса | | Масштаб |
| Изм. | Лист | № докум | Подпись | Дата |  |  |  |  | |  |
| Разраб. | | Игнатович Н.М |  |  |
| Провер. | | Семенова Л.Н. |  |  |
| Т. Контр. | |  |  |  | Лист 2 | | | | Листов | |
| Реценз. | |  |  |  | МГКЭ | | | | | |
| Н. Контр. | |  |  |  |
| Утверд. | |  |  |  |

**Введение**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 3 |
| Изм. | Лист | № докум | Подпись | Дата |

Интегральная микросхема (ИМС) — это конструктивно законченное микроэлектронное изделие, выполняющее определенную функцию преобразования и обработки сигналов (информации), содержащее большое число электрически связанных между собой электрорадиоэлементов (транзисторов, диодов, конденсаторов, резисторов и т.д.), изготовленных в едином технологическом процессе. Микросхемы изготавливают групповым методом, одновременно в одной партии может быть от нескольких десятков до нескольких тысяч микросхем.

По конструктивно-технологическому принципу микросхемы делят на три группы: полупроводниковые, пленочные и гибридные.

В полупроводниковых микросхемах основой являются кристаллы полупроводника. Все элементы микросхемы — диоды, транзисторы, резисторы и соединения между ними — выполняют в объеме и на поверхности кристалла в процессе одного технологического цикла. Микросхема может содержать от десятков до тысячи элементов. По типу применяемых транзисторов полупроводниковые ИМС подразделяют на биполярные и МОП.

В пленочной интегральной микросхеме все элементы и соединения между ними выполняются в виде различных пленок, нанесенных на поверхность диэлектрической подложки. В настоящее время методом пленочной технологии изготавливают только пассивные компоненты — резисторы, конденсаторы и индуктивности, а также проводники. Так, если нужно создать резистор, то напыляется полоска металла. Для создания конденсатора на участок основания наносится слой проводника, потом диэлектрика, затем снова проводника и т.д.

В зависимости от толщины пленки и способа создания элементов пленочные микросхемы делят на тонко- и толстопленочные. К первому типу относятся микросхемы с толщиной пленки более 1 мкм, а толщина пленки в толстопленочной микросхеме составляет 10...70 мкм.

В гибридных интегральных схемах в качестве активных элементов используют навесные дискретные полупроводниковые приборы или полупроводниковые ИМС, а в качестве пассивных элементов — пленочные резисторы, конденсаторы, индуктивности и соединяющие их пленочные проводники.

Для защиты от внешних воздействий ИМС помещают в герметичные металлические или пластмассовые корпуса. Корпус микросхемы имеет внешние выводы для монтажа и маркировку. По размерам и объему корпус значительно превосходит саму микросхему.

По функциональному назначению и характеру выполняемых операций интегральные микросхемы делятся на аналоговые и цифровые.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 4 |
| Изм. | Лист | № докум | Подпись | Дата |

Аналоговые микросхемы применяют в качестве усилителей, генераторов, стабилизаторов тока и напряжения и других устройств, которые работают с сигналами в виде непрерывных функций.

Цифровые интегральные микросхемы предназначены для преобразования и обработки дискретных сигналов (сигналов в виде последовательности импульсов). Они используются в вычислительной технике, автоматике, бытовой радиоэлектронной аппаратуре.

Показателем сложности микросхемы является степень интеграции К, которая характеризует число содержащихся в ней элементов и компонентов N (К= lg АО, К округляют до ближайшего большего целого числа.

По степени интеграции ИМС делятся на:

* малые интегральные схемы (МИС) — имеют степень интеграции 1 и 2, в состав которых входят один или несколько видов функциональных аналоговых или логических элементов (логические элементы И, ИЛИ, НЕ, триггеры, усилители, фильтры и т.д.);
* средние интегральные схемы (СИС) — это схемы со степенью интеграции 1 и 2, в состав которых входят один или несколько одинаковых функциональных узлов электронных устройств (регистр, дешифратор, счетчик, постоянно запоминающее устройство);
* большие интегральные схемы (БИС) — это схемы со степенью интеграции 3, 4, в состав которых входят один или несколько функциональных устройств (арифметико-логическое устройство, оперативное запоминающее устройство и т.д.);
* сверхбольшие интегральные схемы (СБИС) — это интегральные схемы со степенью интеграции 5—7, представляющие собой законченные микроэлектронные изделия, способные выполнять функции аппаратуры (однокристальные ЭВМ, микропроцессоры).

**1.Анализ задания на проектироование .Принцип работы устроиства.**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 5 |
| Изм. | Лист | № докум | Подпись | Дата |

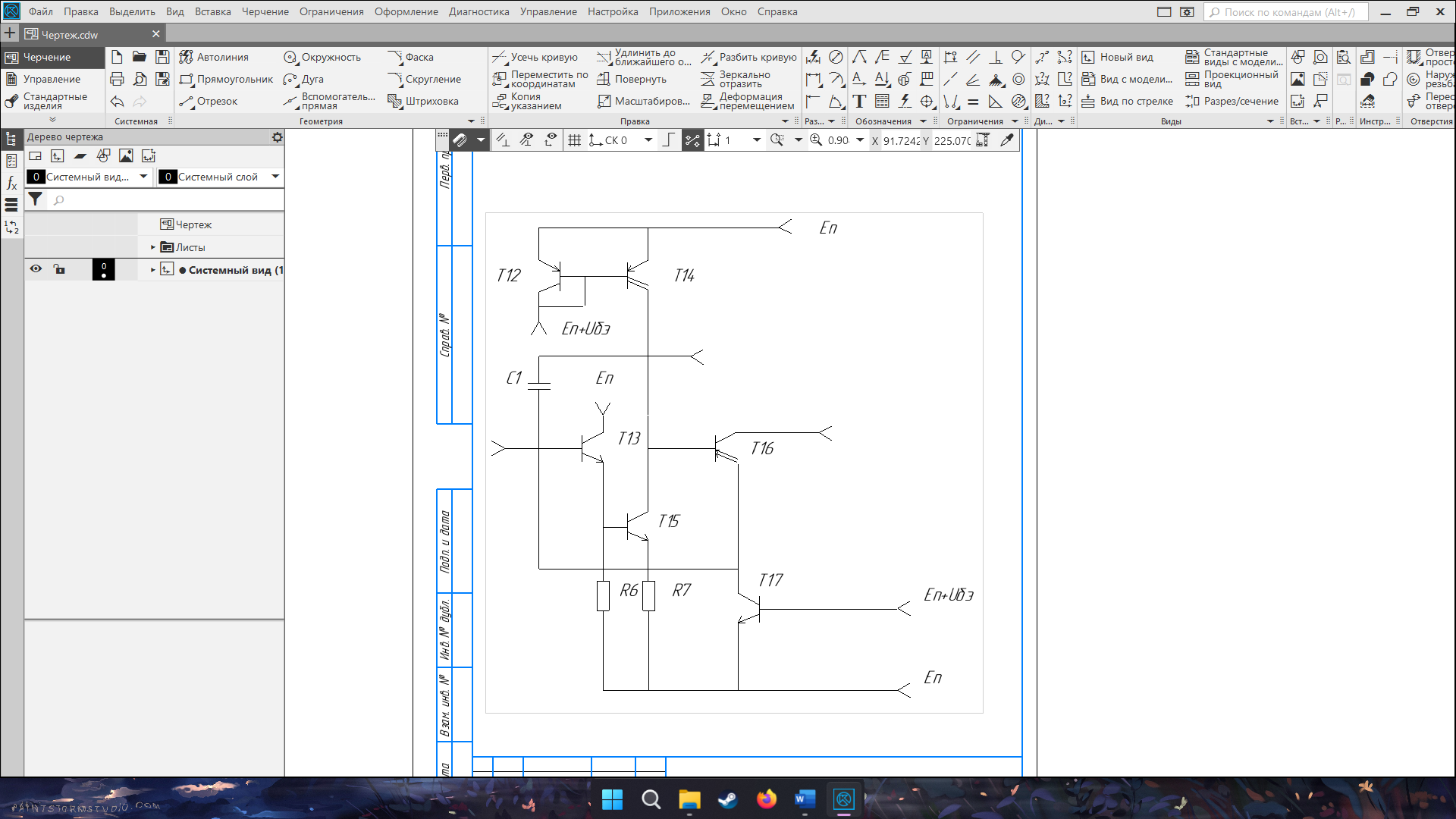


Рисунок 1.1 Схема электрическая принципиальная . Многоколекторный формирователь амплитуды.

Формирователь выполнен на ТС , в качестве кото-  
рой работают транзисторы T13 и T15, и ДТС на транзисторах T12 и T14 в каче-  
стве динамической нагрузки.

Рабочий ток I02 каскада задает транзистор T12 в  
диодном включении, который соединяется со свободным выводом резистора

Транзистор Т13 и резистор R6 образуют ЭП, который совместно с рези-  
стором R7, создающим местную ООС Z-типа для транзистора T15, позволяет  
согласовать по постоянному току вход каскада с выходом ДУ и повысить вход-  
ное сопротивление.

ООС Z-типа, повышая выходное сопротивление и снижая  
коэффициент передачи, стабилизирует работу формирователя амплитуды по  
постоянному и переменному токам.

Транзистор Т'16, фиксируя разность потенциалов между входом и выходом  
формирователя на уровне UБЭ, предотвращает режим насыщения транзисторов  
Т13, Т15 при чрезмерном их открывании входным сигналом.

Транзистор T17, исходно закрытый и выполняющий роль управляемого источника тока, участвует вработе по защите от случайных коротких замыканий (КЗ) выходного ЭП ОУ.

Конденсатор С1 является элементом коррекции АЧХ и ФЧХ ОУ в целом.  
 ОУ представляет собой модифицированную схему двухтактного усилителя мощности с защитой от случайных КЗ.

Формирователь амплитуды реализуются соответственно на основе одного двух-  
коллекторного (Т14) и одного двухэмиттерного (Т16) транзисторов, что позво-  
ляет обеспечить требуемые тепловой режим и токораспределение в обоих каскадах.

Напряжение питания схемы 5 В. Рабочая частота 5 кГц.Оборудование на основе

данной схемы будет применятся в жестких условиях эксплуатации : от минус 20 до 20°С, Относительная влажность 45%. Область применения:аппаратура стабилизации ледокольного оборудования .

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 6 |
| Изм. | Лист | № докум | Подпись | Дата |

**2.Обоснование и выбор реализации устроиства и технологии изготовления микросхемы.**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 7 |
| Изм. | Лист | № докум | Подпись | Дата |

**2.1 Выбор способа реализации ИМС**

Полупроводниковые интегральные микросхемы получили широкое применение в основном из-за массового их использования в вычислительной технике.

Полупроводниковые ИМС – интегральная микросхема , все элементы и межэлементные соединения которой выполнены в обьеме и на поверхности кристалла полкпроводниковой подложки .

Полупроводниковые интегральные микросхемы изготовляют на основе планарной технологии полупроводниковых приборов. Все элементы полупроводниковых ИМС (транзисторы, диоды, резисторы, конденсаторы и др.) формируют в едином технологическом потоке в тонком поверхностном слое полупроводниковой пластины (подложки) диаметром 40-150 мм и толщиной 0.2-0,4 мм

По сравнению с гибридными ИС полупроводниковые микросхемы имеют наиболее высокое число элементов в единице обьема и наибольшую надёжность , т.е. наименьшую интенсивность отказов .

Недостаток полупроводниковых ИМС :

* Характеристики ИС в области высоких частот ухудшается из-за наличия паразитных емкостей ;
* Пассивные элементы Ис имеют большие значения температурных коэффициентов ;

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 8 |
| Изм. | Лист | № докум | Подпись | Дата |

**2.2. Выбор изоляции ИМС**

В одном кристалле полупроводниковой ИМС различными методами формируются отдельные элементы в схему, а также могут формироваться несколько отдельных схем (областей). Все элементы и компоненты схем и отдельные схемы (области) находятся на очень малом расстоянии друг от друга, что требует обеспечения хороших изоляционных свойств между элементами и схемами для исключения нежелательных паразитных емкостных, индуктивных и резистивных связей между ними.

Наиболее распространенными методами изоляции элементов и компонентов, а также отдельных схем (областей), являются метод изоляции обратно смещенным электронно-дырочным *р-п-*переходом, диэлектрическая изоляция с помощью диэлектрика Si02и комбинированный метод изоляции, выполняемые по планарной технологии.

Количество и процент выхода годных микросхем зависит от изоляции элементов .

Существуют паразитные связи и изоляция служит для их подавления.

Изоляция элементов полупроводниковых микросхем с **помощью обратно смещенного *p–n* перехода** кроме указанного имеет и другие принципиально неустранимые недостатки. К ним относятся: большая паразитная емкость изолирующих *p–n* переходов и появление дополнительных паразитных элементов в структуре микросхемы; необходимость подачи на изолирующий *p–n* переход определенного по величине и знаку напряжения смещения; наличие четырехслойных структур *n–p–n*и *p–n–p* типа, которые обладают положительной обратной связью по току, вследствие чего при воздействии на них ионизирующих факторов увеличение тока через эти структуры будет приводить к еще большему его возрастанию.

Указанные недостатки не позволяют добиться существенных успехов в росте быстродействия микросхем, увеличения степени их интеграции, радиационной стойкости и стабильности в интервале температур.

Основными недостатками конструкций с **диэлектрической изоляцией** элементов являются: сложный технологический процесс и малый выход годных микросхем; плохой отвод тепла от элементов микросхемы в подложку, поскольку тепловое сопротивление диэлектрических материалов в десятки раз больше теплового сопротивления монокристаллического кремния; трудность создания разводки из–за сравнительно большого перепада высот рельефа поверхности в структурах КНД; высокая плотность дефектов структуры в изолированных островках кремния и низкая воспроизводимость параметров элементов микросхем.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 9 |
| Изм. | Лист | № докум | Подпись | Дата |

**Комбинированная изоляция** сочетает технологичность изоляции *p–n* переходом и высокие качества диэлектрической изоляции: элементы микросхемы со стороны подложки изолированы обратно–смещенными *p–n* переходами, а с боковых сторон – диэлектриком (окислом, стеклом, керамикой, поликремнием и т.д.). Таким образом, изоляция *p–n* переходами заменяется изоляцией диэлектриком в наиболее уязвимом приповерхностном слое и с боковых сторон.

|  |
| --- |
|  |

**Рисунок 2.1** Конструкция интегральных транзисторов с комбинированной изоляцией : а-локальноу окисление кремния ; б- анизатропное травление кремния с последующим окислением и заполнением канавок поликремнием.

Наибольшее распространение сегодня получили такие варианты комбинированной изоляции, как локальное окисление (изопланарная технология) (рис. 2.1, а) и вертикальное анизотропное травление с последующем заполнением канавок поликристаллическим кремнием (полипланарная технология) (рис. 2.1, б).

В основе технологических процессов лежит локальное сквозное “прокисление” или протравление тонкого (2…3 мкм) эпитаксиального слоя кремния *n*–типа, в результате этот слой оказывается разделенным на островки, в которых формируются элементы микросхем.

Комбинированная изоляция позволяет уменьшить паразитные емкости изолированных областей на подложку за счет устранения боковых участков *p–n* переходов (см. рис. 2.1), устранить токи утечки в области выхода *p–n* переходов на поверхность и на боковых участках *p–n* переходов (см. рис. 2.1). В то же время при методе комбинированной изоляции удается обеспечить хорошие условия теплоотвода и увеличить степень интеграции элементов в микросхеме за счет сокращения площади, отводимой под изоляцию.

Комбинированный метод изоляции является самым эффективным но также самым дорогим с точки зрения технологического процесса и сложным в практической реализации. Но данный метод имеет достаточное количество преимуществ перед другими методами . Комбинированный метод сильно понижает паразитные емкости и токи утечки, в отличии от более дешевого метода изоляции p-n переходом .Также имеет хорошие условия для теплоотвода.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 10 |
| Изм. | Лист | № докум | Подпись | Дата |

Самым главным плюсом является высокая степень интеграции ИМС.

**2.3 Выбор структуры подложки.**

Подложка ИС – несущая часть ИС, на или в которой формируются слои, элементы и компоненты ИС.

Подложка является одним из важнейших конструктивных элементов ИС.

Подложка ИС выполняет конструктивно-технологические и электрические функции, являясь обычно изолятором между элементами ИС.

Подложки полупроводниковых микросхем могут быть проводящими и непроводящими. Вопрос о выборе материалов при конструировании полупроводниковых микросхем решается в зависимости от многочисленных факторов. Прежде всего принимаются во внимание электрические и другие параметры, которыми должна обладать микросхема. В качестве материала для проводящих подложек чаще всего используют монокристаллический кремний в виде пластин диаметром 60…150 мм и толщиной 250…400 мкм. Технология изготовления пластин должна обеспечивать необходимое качество обработки поверхности, причем рабочая поверхность обрабатывается до14-го класса чистоты, а нерабочая – до 12-го класса. Поверхность подложки ориентируется параллельно плоскости (111), (100) или (110).

Очень часто для изготовления полупроводниковых микросхем используют двухслойные кремниевые эпитаксиальные пластины различных марок, а также эпитаксиальные структуры со скрытым n+-слоем (рис. 5.1), состоящие из трех слоев: слоя кремния проводимостью р-типа; локального низкоомного слоя кремния проводимостью n-типа (скрытый n+-слой); эпитаксиального слоя кремнияn-типа.

К диэлектрическим подложкам предъявляются следующие требования:

1.Материал подложки должен обладать малыми значениями тангенса угла диэлектрических потерь tgd и относительной диэлектрической проницаемости e. Это обеспечивает получение минимальных токов утечки и паразитных емкостей между -об ластями монокристаллического кремния.

2.Механическая прочность подложки должна быть высокой даже при небольшой толщине.

3.Рабочая поверхность подложки должна поддаваться обработке не ниже, чем до 14-го класса чистоты.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 11 |
| Изм. | Лист | № докум | Подпись | Дата |

4.Коэффициент термического расширения (КТР) материала подложки должен быть согласован с КТР монокристаллического кремния.

5.Материал подложки должен обладать высокой химической стойкостью относительно воздействия жидких и газовых сред, применяемых в процессе производства полупроводниковых микросхем.

6. Материал подложки должен иметь высокую теплопроводность для обеспечения отвода тепла от элементов микросхем.

Эпитаксиальные пластины кремния применяются в производстве высокопроизводительных микросхем, радиационно-стойкой электроники, дискретных приборов на контактах металл-полупроводник. Основным преимуществом данных пластин по сравнению с пластинами монокристаллического кремния является наличие p-n перехода между приборным слоем и основной частью подложки — это позволяет уменьшить токи утечки, паразитные явления между соседними элементами, а значит снизить электрическую мощность, потребляемую конечными изделиями.

Конкурентные преимуществак данному типу пластин:

1. Превосходное кристаллическое совершенство эпитаксиальных слоев за счет высочайшей степени предэпитаксиальной доочистки процессных газов и реагентов.

2. Уникальная технология подавления автолегирования при выращивании толстых и сверх-высокоомных эпитаксиальных слоев.

3. Эффективное соотношение стоимости и характеристик эпитаксиальных структур за счет групповой обработки.

4. Возможность поставки структур малыми партиями.

**3. Расчет и выбор элементов схемы**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 12 |
| Изм. | Лист | № докум | Подпись | Дата |

**3.1. Расчет биполярного транзистора**

|  |  |
| --- | --- |
| Максимальное напряжение К-Б, (Uкбмах), В | 10 |
| Рабочее напряжение К-Б, (Uкбраб), В | 5 |
| Напряжение Э-К, (Uэк), В | 10 |
| Максимальное напряжение Э-Б, (Uэбмах ), В | - |
| Максимальная мощность, (Pкмах), мВТ | 150 |
| Максимальная сила тока на коллекторе, (Iкмах), мА | 20 |
| Ток коллектора, (Iк), мА | 100 |
| Ток эмиттера, (Iэ), мА | 1 |
| Xjk, мкм | 70 |
| Поверхностная концентрация акцепторной примеси, (Nas), см-3 | 1017 |
| Диэлектрическая проницаемость, (E0), В/см | 8.85\*10-12 |
| Элементарный заряд, (q), Кл | 1.6\*10-19 |
| Рабочая частота, (fраб), МГц | 1 |
| Ёмкость колекторного перехода (Cк) пФ | 1 |

**Таблица 3.1** Исходные данные.

По максимальному напряжению определим пробивное напряжение :

*k=1.7*

По пробивному напряжению опредем концентрацию носителей *Nдк=1017  см -3*

Расчитаем удельное сопротивление коллекторного перехода

Определим характеристическую длину в распределении примесей акцепторов La:

Для расчета ширины объемного заряда на коллекторном и эмиттерном переходах предварительно вычисляют потенциал:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 13 |
| Изм. | Лист | № докум | Подпись | Дата |

Контактную разность потенциалов на коллекторном переходе вычисляют по формуле:

где:

.

Рассчитываем ширину области объемного заряда, распространяющегося в сторону базы и в сторону коллекторного перехода при максимальном смещении коллекторного перехода :

Выбираем ширину технологической базы, которая должна быть больше ширины слоя объемного заряда на коллекторном переходе , так как последний будет иметь максимальную ширину при :

Определяем концентрацию акцепторов на эмиттерном переходе:

В результате высокой степени легирования эмиттера область объемного заряда на эмиттерном переходе в основном будет сосредоточена в базе. Приближенно можно считать что , где:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 14 |
| Изм. | Лист | № докум | Подпись | Дата |

Находим размеры коллектора, имеющего квадратную форму со стороной h, где:

Выбираем из банка данных предприятия-изготовителя банковскую структуру транзистора. Структура многоэммитерный транзистор П5

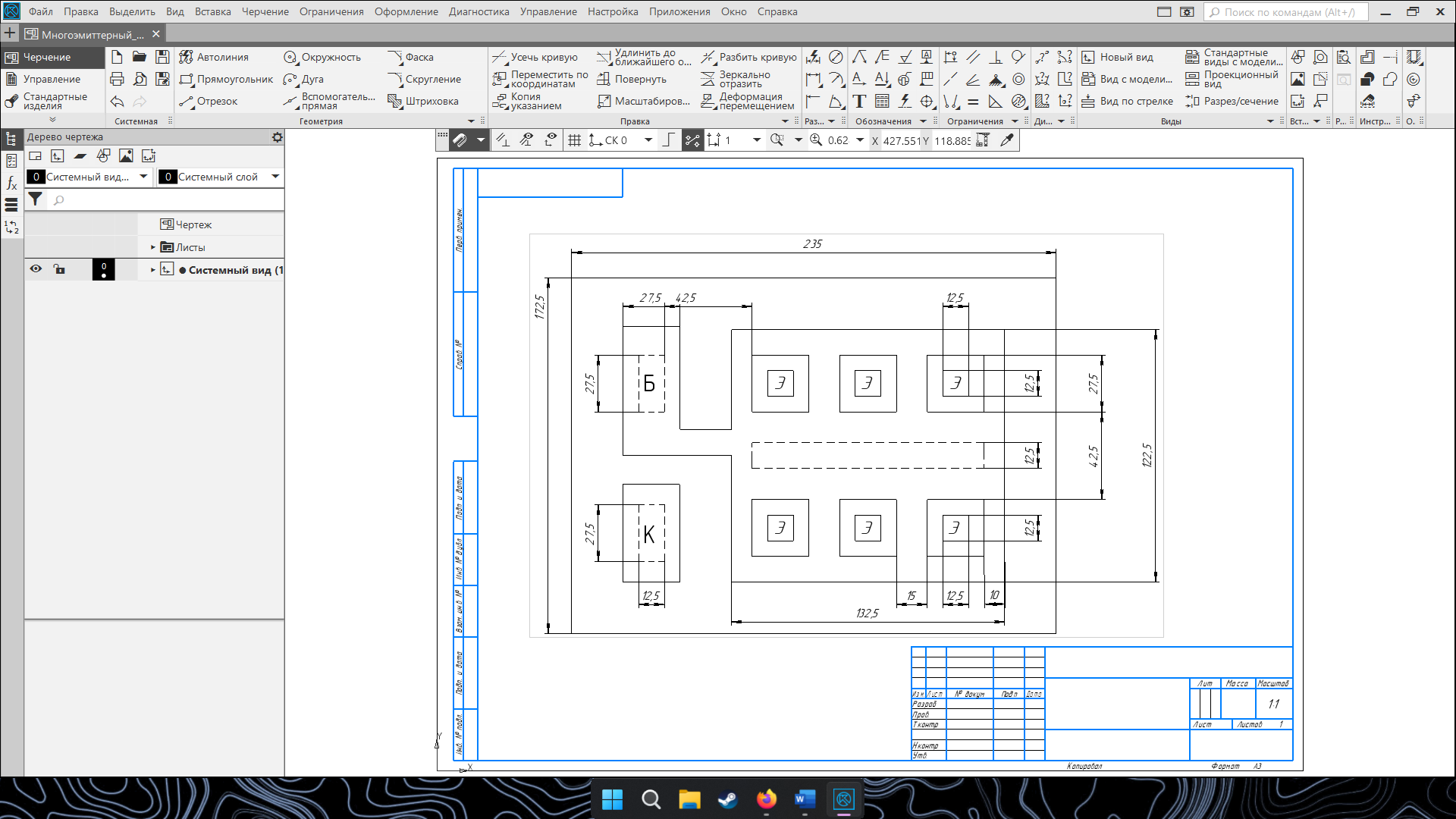


Рисунок 3.1 – Структура транзистора из банка данных.

Данная структура из банка данных имеет приемлемое значение величины Sk следовательно, мы принимаем транзистор из банка данных.

* 1. **Расчет полупроводниковых резисторов:**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 15 |
| Изм. | Лист | № докум | Подпись | Дата |

Таблица 3.2 Данные резистора выполненного на базовом слое.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Тип резистора | Толщина слоя, мкм |  |  | ТКС, 1% |
| Диффузионный на базовом слое | 2,5-3,5 | 100-300 | (5-20) | 2\*10-3 |

Таблица 3.3 Исходные данные для расчета .

|  |  |
| --- | --- |
| Величина | Номинал |
| R7 (кОм)±15% | 5 |
| R6 (кОм)±15% | 10 |

Находим коэффициенты формы для обоих резисторов:

Определим ширину резистивной полосы .Принимаем ∆b =0.1 мкм, ∆l=0.1мкм, тогда

;

Найдем погрешность коэффициента формы:

где - погрешность коэффициента формы; – полная относительная погрешность изготовления резистора; – погрешность воспроизведения величины резистивной пленки (для типовых технологических процессов );.

γt - Температурная погрешность зависит от ТКС резистивного материала:

где

где – температурный коэффициент сопротивления, = 1.5\*10-3/°C/

Находим ширину bp  для обоих резисторов :

Рассчитаем переходное сопротивление контакта

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 16 |
| Изм. | Лист | № докум | Подпись | Дата |

Рассчитаем дополнительное сопротивление Rkдоп

где ,

Рассчитаем площадь контакта

Тип проводивости (n)=> Удельное соротивление кремния 0.01 Ом \*см.Омническое удельное сопротивление (материал; Алюминий ) = > 1.3 \* 10-2 Ом\*см2.

Таблица 3.4 Выбор материала резистора .

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Тип проводимости кремния | Удельное сопротивление кремния, | Омическое удельное сопротивление, | | |
| Алюминий | Хром+золото--хром | Титан |
| p |  |  | 4 |  |
| n | 0,005  0,01  0,05 |  |  |  |

Рассчитаем длину контакта

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 17 |
| Изм. | Лист | № докум | Подпись | Дата |

Находим промежуточное значение ширины резистора:

Находим расчетную длину резистора:

Находим промежуточное значение длины резистора:

Выбираем из банка данных эталон Э30 на 5 кОм с размерами

b = 15 мкм, L = 312 мкм, Кф = 20

L=b\*Кф=15\*20=300 мкм (3.2.13)

Выбираем из банка данных эталон Э32 на 10 кОм с размерами

b = 15 мкм, L = 625 мкм, Кф = 40

L=b\*Кф=15\*40=600 мкм (3.2.13)

Таблица 3.5 Результат расчета резисторов.

|  |  |  |  |
| --- | --- | --- | --- |
| Номинал, кОм | Эталон | Размер – а, мкм | Размер – l, мкм |
| 5 | Э30 | 15 | 312 |
| 10 | Э32 | 20 | 625 |

**3.3 Расчет конденсаторов**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 18 |
| Изм. | Лист | № докум | Подпись | Дата |

В схеме один конденсатор C1.Определим его тип исходя из пробивногонапряжения Uпроб=17 В => переход база – коллектор.

Таблица 3.6 – Параметры интегральных конденсаторов

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Тип конденсатора | Удельная емкость | Удельная емкость | Разброс номинала, % | ТКЕ |  | Доброт-  ность |
| Переход база-коллектор | 150 | 350 | ±20 | -1,0 | 30-70 | 50-100 |
| Переход эмиттер-база | 600 | 1000 | ±20 | -1,0 | 7-8 | 1-20 |
| Переход коллектор-подложка | 100 | 250 | ±20 | - | 35-7 | - |
| МДП с диэлектриком | 400-600 | - | ±20 | 0,015 | 30-50 | 25-80 |
| МДП с диэлектриком | 800-1600 | - | ±20 | 0,01 | 50 | - |

C1=250пФ ±20%

По банковской структуре определим геометрические размеры :

a=37.5 мкм

b=12.5 мкм

Емкость данного конденсатора определяется по следующей формуле:

\*12.5+2\*350(37.5+12.5)\*0.007=252 пФ

Выполним проверку:

0.8%

**4. Составление схемы коммутации устройства.**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 19 |
| Изм. | Лист | № докум | Подпись | Дата |

Непосредственyо перед разработкой топологии микросхемы составляется схема расположения, называемая также коммутационной. Исходными данными для разработки коммутациониой схемы является схема электрическая принципиальная.

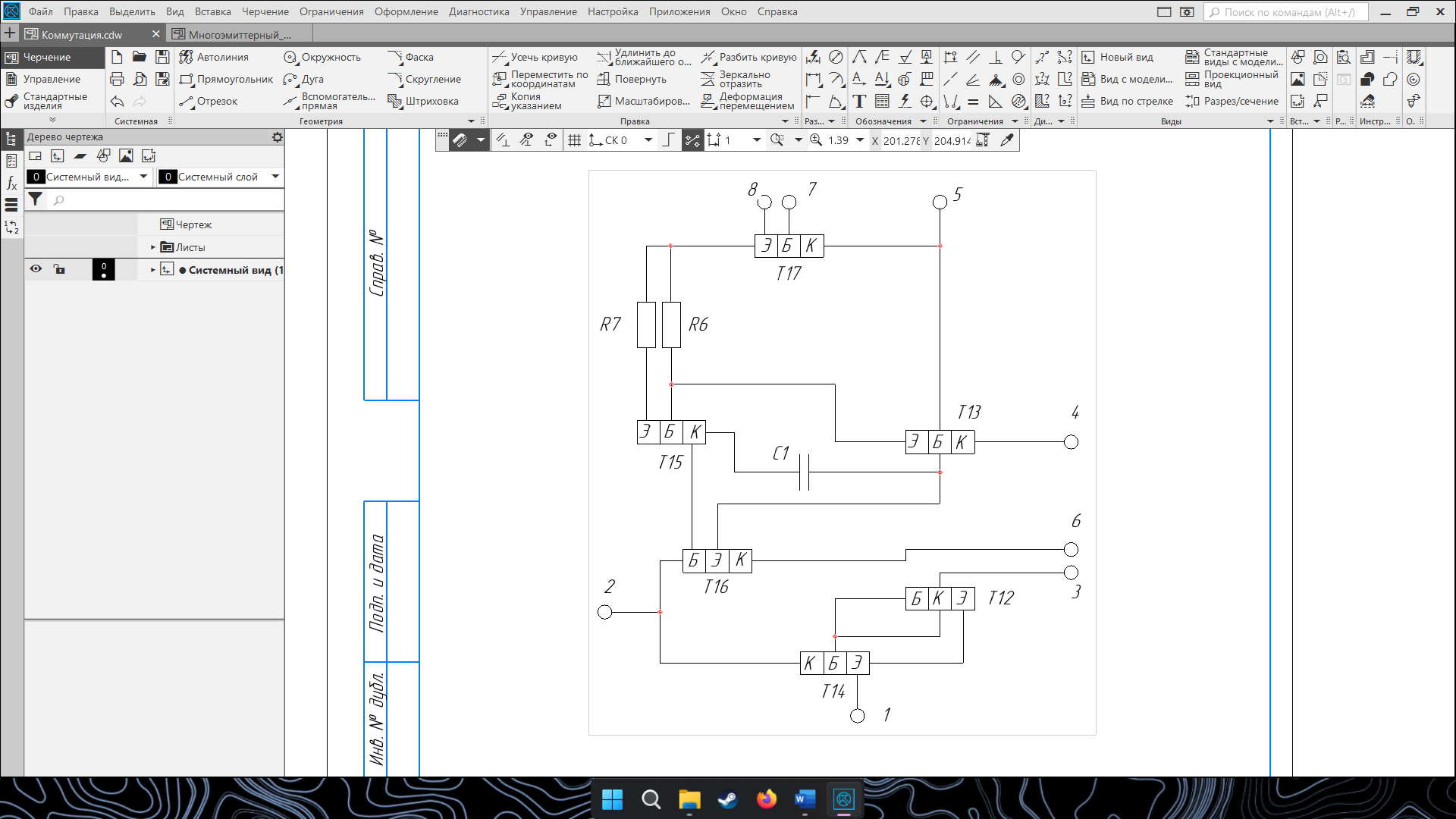


Рисунок 4.1 - Схема коммутации устройства.

За основу принимается принципиальная электрическая схема, преобразованная с учетом конструктивных особенностей элементов, компонентов и Межсоединений. Сокращается по возможности число пересечений проводников, В соответствии с техническими требованиями топологи. Располагаются внешние контактные площадок.

Схема электрическая принципиальная представлена на рисунке 1.1 графической части проекта.

**5 Проектирование топологии интегральной микросхемы с учетом конструктивно-технологических ограничений .**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 20 |
| Изм. | Лист | № докум | Подпись | Дата |

Проектирование топологии микросхемы конструктивно технологических ограничений с учетом.

Для разработки топологической схемы ИМС необходимо учитывать следующие конструктивно-технологические ограничения для полупроводниковых микросхем:

1) Суммарная изолирующих р-п-переходов площадь должна быть минимальной, так как их емкость является паразитной;

2) Диффузионные резисторы, формируемые на основе базового слоя,

можно располагать в одной изолированной области, которая подключается к

точке схемы с наибольшим положительным потенциалом;

3) Резисторы на основе эмиттерного и коллекторного слоев следует

располагать в отдельных изолированных областях;

4) Транзисторы типа n-р-n, коллекторы которых подсоединены непосредственно к источнику питания, целесообразно размещать в одной

изолированной области вместе с резисторами;

5) Транзисторы типа n-р-n, которые включены по схеме c общим

коллектором, можно располагать в одной изолированной области;

6) Для уменьшения паразитной емкости между контактными площадками и подложкой, а также для защиты от короткого замыкания в случае нарушения целостности пленки окисла под ними при при варке проволочных выводов под каждой контактной площадкой создают изолированную область, за исключением контактных площадок с наиболее отрицательным потенциалом;

7) Для диффузионных конденсаторов требуются отдельные

изолированные области. Исключение составляют случаи, когда один из

выводов конденсатора является общим с другой изолированной областью;

8) Для диффузионных перемычек всегда требуются — отдельные изолированные области.

**6 Разработка эскиза топологии микросхемы**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 21 |
| Изм. | Лист | № докум | Подпись | Дата |

На этапе эскизного проектирования топологии необходимо

предусмотреть решение следующих задач: расположить как можно большее

число резисторов в одной изолированной области; подать наибольший

потенциал на изолированную область, где размещены резисторы; подать

наиболее отрицательный потенциал на подложку вблизи мощного транзистора выходного каскада; рассредоточить элементы, на которых рассеиваются большие мощности; расположить элементы с наименьшими размерами и с наименьшими запасами на совмещение в центре эскиза топологии; сократить число изолированных областей и уменьшить периметр каждой изолированной области.

На данном этапе проектирования разрабатываем предварительный

вариант топологии, который вычерчиваем на миллиметровой бумаге в выбранном масштабе 300:1 по ГОСТ 2.302.

При проектировании слоя металлизации размеры контактных площадок и

проводников следует брать минимально допустимыми, а расстояния между

ними - максимально возможными.

При разработке топологии необходимо высчитать основные размеры

элементов, а так же минимальную площадь кристалла ИМС. Это позволяет

увеличить производительность, снизить материалоемкость и повысить выход годных ИМС.

**7 Проведение проверочных расчетов устройства**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 22 |
| Изм. | Лист | № докум | Подпись | Дата |

**7.1 Тепловой расчет ИМС**

Корпус полупроводниковой ИС не только защищает элементы кристалла от воздействия внешних механических и климатических факторов, но и обеспечивает необходимый тепловой режим элементов.

Проблема теплоотвода тесно связана с проблемой обеспечения высокой надежности микросхем. Экспериментальные данные показывают, что интенсивность отказов возрастает в 1,5…2 раза на каждые 10оС повышения температуры *p*-*n*- переходов кристалла.

Конструкция корпуса и теплотехнические свойства материалов в значительной степени определяют тепловой режим элементов кристалла. На рисунке показана упрощенная модель распределения тепловых потоков в ИМС.

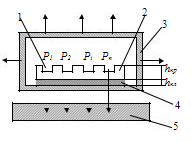


Рисунок 7.1 - Упрощенная модель распределения тепловых потоков в ИМС: 1- источник тепла; 2 - кристалл; 3 – клеевая прослойка (припой); 4 - корпус; 5 – теплоотвод

Суммарная мощность источников тепла равномерно распределена по поверхности кристалла равна:

; (7.1)

Среднее тепловое сопротивление кристалла рассчитывается по формуле:

;

где, ; - коэффициент теплопроводности кремния.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 23 |
| Изм. | Лист | № докум | Подпись | Дата |

Тепловое сопротивление слоя клея толщиной , коэффициентом теплопроводности .

(7.3)

Тепловое сопротивление поверхность корпуса – окружающая среда:

; (7.4)

где, – эффективный коэффициент теплоотдачи, равный удельной теплопроводности контакта корпус – теплоотвод, и зависящий от условий охлаждения корпуса.

Внутреннее тепловое сопротивление корпуса (тепловое сопротивление между внутренней поверхностью основания, в которую втекает тепловой поток от кристалла, и наружной поверхностью корпуса, с которой тепловой поток отводится во внешнюю среду):

; (7.5)

Полное тепловое сопротивление корпуса вычисляется по формуле:

; (7.6)

Полное тепловое сопротивление поверхность кристалла – окружающая среда:

; (7.7)

Допустимое значение полного теплового сопротивления корпуса если заданы размеры кристалла и известен способ крепления кристалла к корпусу:

;

Нормальный тепловой режим элементов кристалла, обеспечивающийся при выполнении всех требуемых условий:

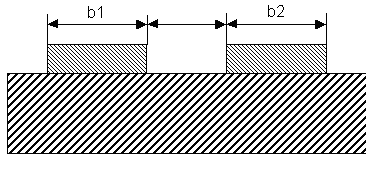
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 24 |
| Изм. | Лист | № докум | Подпись | Дата |

(7.9)

Так как рабочая температура не превышает допустимую ().

# 7.2 Оценка паразитных связей

Определим паразитную емкость в участке, где она наибольшая. Частичные емкости между проводниками, параллельно расположенными на подложке и находящимися в окружении других проводников показаны на рисунке:

Рис. 7.2 - Вариант расположения проводящих пленочных элементов.

Расчетная диэлектрическая проницаемость определяется по формуле:

; (7.10)

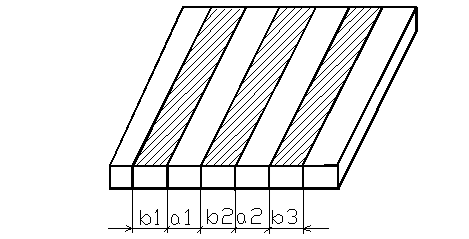
где, - диэлектрическая проницаемость окружающей среды; – диэлектрическая проницаемость материала подложки.

Емкостной коэффициент c для проводящих пленочных элементов, расположенных в соответствии с рисунком 1, рассчитывается по формуле:

; (7.11)

где, ; .

Параметры подводников и расстояние между проводниками показан рисунках 7.2 и 7.3:

Рисунок 7.3. - Система параллельных проводников

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

Емкость между двумя произвольно расположенными на подложке пленочными проводящими элементами определяют по формуле:

; (7.12)

где, - емкостный коэффициент; – длина пленочных проводников.

Характерной особенностью интегрального п-р-п-транзистора является появление в его структуре паразитного р-п-р-транзистора. Эмиттером этого транзистора служит-p-база n-р-n транзистора, базовой областью - коллекторная n-область n-р-n-транзистора, а коллекторной об­ластью -р- подложка.

Как уже отмечалось, подложка должна иметь наименьший потенциал в структуре, чтобы обеспечить изоляцию обратно включенным р-n-переходом. Это требование определяет возмож­ные режимы работы паразитного транзистора: он будет нормальным активным, если n-р-n- транзистор находится в режиме насыщения, и в режиме отсечки, когда п-р-п-транзистор рабо­тает в нормальном активном режиме.

В последнем случае влияние паразитного р-n-р-транзистора сводится лишь к увеличению коллекторной емкости основного транзистора на величину емкости Скп перехода коллектор - подложка. Чтобы в первом случае уменьшить ответвление (утечку) коллекторного тока n-р-n- транзистора в p-слой подложки, имеющей наименьший потенциал, необходимо, чтобы коэффи­циент передачи тока паразитного транзистора пар был очень малым.

Это автоматически дос­тигается при сильнолегированном n+-слое, входящем в состав базовой области паразитного транзистора (пар ~ 0,01). Однако в этом случае паразитный транзистор потребляет значительный ток, идущий в подложку через цепь эмиттер - база паразитного транзистора, а не через его коллекторный переход. Следует заметить, что при использовании диэлектрической изоляции паразитный транзистор отсутствует, но паразитная емкость коллектор - подложка остается.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП57МНЭ.008404.081 ПЗ | Лист |
|  |  |  |  |  | 26 |
| Изм. | Лист | № докум | Подпись | Дата |

Исходя из полученных расчетов, мы видим что полученные паразитные емкости минимальны ,соответственно не вызовут помех и сбоев в работе микросхемы, поэтому ими можно пренебречь.